



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10240923

(43)Date of publication of application: 11.09.1998

(Int.Cl.

G06T 1/60
G06T 3/40
H04N 1/21
H04N 1/393

(21)Application number: 09062534

(71)Applicant:

VICTOR CO OF JAPAN LTD

(22)Date of filing: 28.02.1997

(72)Inventor:

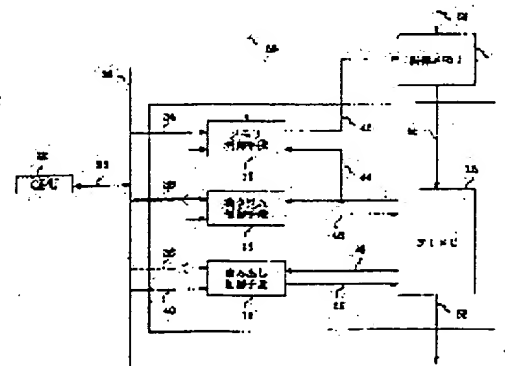
ITO HIROTOMO

(54) PICTURE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To magnify and reduce picture data at arbitrary scale factor with a simple constitution by controlling an FIFO means which fetches the output data of a picture memory means, and outputs the data to a block at the post stage in the order by three controlling means.

SOLUTION: A CPU 20 transmits the vertical and horizontal magnification of a picture set by an operator to a memory controlling means 12, writing controlling means 14, and reading controlling means 16, receives the horizontal and vertical synchronizing signals of a video monitor inputted from the outside part, and controls each processing starting timing of the memory controlling means 12, writing controlling means 14, and reading controlling means 16 through a memory control start signal line 34, writing control start signal line 36, and reading control start signal line 38. An FIFO means 18 to which the output of a picture memory means 22 is supplied is controlled by each of the three controlling means 12, 13, and 16 so that it is not necessary to search the address of desired pixel data, and the load of the CPU 20 can be prevented from being increased.



LEGAL STATUS

BEST AVAILABLE COPY

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX

Comments from the applicant

Content of the present application and prior art

Present Application

Gist:

The same FIFO line memory is used for both enlargement and reduction during variable-magnification processing in the scan direction, switching being accomplished by means of selector(s), such that during enlargement, image information captured by CCD(s) is acquired by the FIFO, interpolation is carried out on the image data at the FIFO, and the interpolated data is written to memory within a variable magnification unit, [thus completing] enlargement processing. On the other hand, during reduction, thinning processing [i.e., intermittent extraction of data] is carried out by the variable magnification unit, and the reduced data is then written to FIFO, [thus completing] reduction processing.

A constitution such as the foregoing permits reduction in FIFO memory cost.

JP-A 10-240923

Gist:

In an image processing apparatus that carries out enlargement and reduction processing of digital image data, a constitution possessing image memory means 22 that stores at least one screen worth of image data, memory control means 12 that carries out read and write control with respect to the image

memory means, FIFO means 18 that sequentially acquires pixel data output from the image memory means, and read control means 16 that controls data read timing and write control means 14 that controls data write timing with respect to the FIFO means.

Effect:

Pertains to an image processing apparatus for digital images; consists of memory control means, write control means, read control means, and FIFO means; and in particular, provides an apparatus permitting achievement of enlargement or reduction of an image at any desired magnification in a simple constitution as a result of control of reading and writing of data to FIFO means.

Differences with respect to JP-A 10-240923

JP-A 10-240923 discloses a structure permitting enlargement or reduction through use of a single FIFO memory as a result of switching of the read method employed with respect to image data stored in image memory.

In contrast, the characteristic of the present application lies in its use of a single FIFO in switched fashion, use of which in combination with a variable magnification unit--there being no particular need to employ an image memory--permits variable magnification and supply to an LSU in real-time of an image captured by CCD, which characteristic is not disclosed at JP-A 10-240923.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-240923

(43)公開日 平成10年(1998)9月11日

(51)Int.Cl.⁸

識別記号

F I

G 0 6 T 1/60

G 0 6 F 15/64

4 5 0 H

3/40

H 0 4 N 1/21

H 0 4 N 1/21

1/393

1/393

G 0 6 F 15/66

3 5 5 A

審査請求 未請求 請求項の数3 F D (全 7 頁)

(21)出願番号

特願平9-62534

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番

地

(22)出願日

平成9年(1997)2月28日

(72)発明者 伊藤 博友

神奈川県横浜市神奈川区守屋町3丁目12番

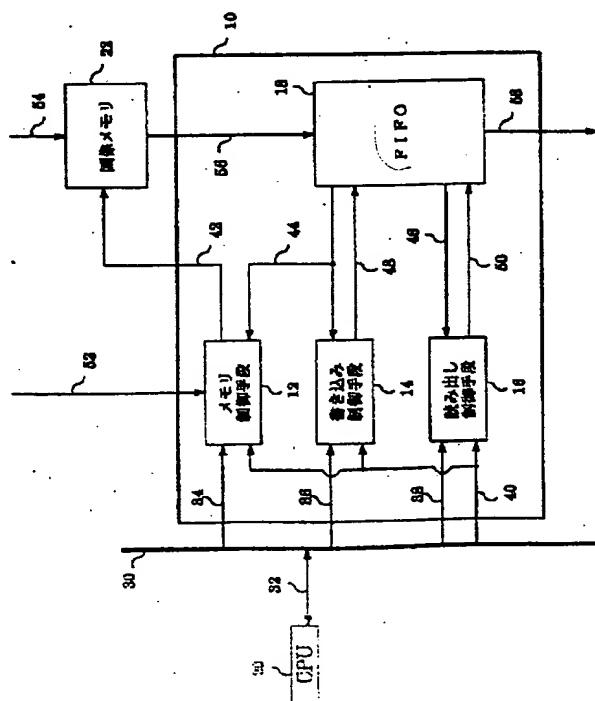
地 日本ビクター株式会社内

(54)【発明の名称】 画像処理装置

(57)【要約】

【課題】 デジタル画像の画像処理装置に関し、メモリ制御手段、書き込み制御手段、読み出し制御手段、F I F O手段で構成され、特に、F I F O手段へのデータの書き込み、読み出し制御により、画像の任意倍率での拡大縮小を簡単な構成で実現出来る装置を画像処理提供する。

【解決手段】 デジタル画像データに対し拡大、縮小処理を行なう画像処理装置において、少なくとも1画面分の画像データを記憶しておく画像メモリ手段22と、前記画像メモリ手段に対して読み出し、書き込み制御を行なうメモリ制御手段12と、前記画像メモリ手段より出力される画素データを順次取り込むF I F O手段18と、前記F I F O手段に対し、データの書き込みタイミングを制御する書き込み制御手段14及びデータの読み出しタイミングを制御する読み出し制御手段16とを有する構成とした。



【特許請求の範囲】

【請求項1】 デジタル画像データに対し拡大、縮小処理を行なう画像処理装置において、
 少なくとも1画面分の画像データを記憶しておく画像メモリ手段と、
 前記画像メモリ手段に対して読み出し、書き込み制御を行なうメモリ制御手段と、
 前記画像メモリ手段より出力される画素データを順次取り込むFIFO手段と、
 前記FIFO手段に対し、データの書き込みタイミングを制御する書き込み制御手段と、
 前記FIFO手段に対し、データの読み出しタイミングを制御する読み出し制御手段とを有することを特徴とする画像処理装置。

【請求項2】 前記請求項1に記載された画像処理装置において、
 前記デジタル画像データの横方向の縮小処理を行なう場合には、前記画像メモリ手段から出力される画素データに対し、前記書き込み制御手段により必要とする画素データのみを前記FIFO手段へ書き込み、拡大処理を行なう場合には、前記読み出し制御手段により同一データを必要な画素数分読み出し、
 前記デジタル画像データの縦方向の縮小処理を行なう場合には、前記メモリ制御手段により、前記画像メモリ内の必要なラインの画素データのみを出力し、拡大処理を行なう場合には、前記画像メモリ内から1ライン分の画素データを必要な回数出力することを特徴とする画像処理装置。

【請求項3】 前記請求項2に記載された画像処理装置において、
 前記書き込み制御手段及び読み出し制御手段による必要な画素データの書き込み及び読み出し制御は、下記の式1により、拡大縮小画像Tのx番目の画素は、Txの整数部の値を原画像の画素に対応させて選択するようにしたことを特徴とする画像処理装置。

【式1】

$$Tx = x / m$$

(x = 0、1、2、… mは拡大縮小倍率)

但し、Txの整数部の値を原画像の画素に対応させる。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は画像処理装置に関し、特に、画像データのFIFOへの書き込み、読み出しを制御することによって任意の倍率の画像の拡大縮小を可能とする画像処理装置に関するものである。

【0002】

【従来の技術】 図4は、従来の画像処理装置の一例を示

したブロック構成である。従来の技術による画像の拡大縮小処理においては、主としてCPU120が、指定された倍率から所望のデータのアドレスを算出すると共に、メモリ制御手段112に対して画素データの転送要求を発し、要求を受けたメモリ制御手段112が画像メモリ122に対して読み出し処理を行なう方法を用いていた。

【0003】 従来、画像データを拡大縮小する場合に、映像表示装置の各画素に対するデータのアドレスをCPU120等で求め、更に、画像を格納してあるメモリ内から必要なデータのみを直接に取り出す方法を用いていた。

【0004】

【発明が解決しようとする課題】 ところで、上述のような画像データの拡大縮小方法によれば、指定された倍率から所望のピクセル・データのアドレスを求める必要があり、CPUの負荷が大きかった。

【0005】 また、所望のピクセル・データを画像メモリから1画素ずつ取り出す必要があるため、メモリに対するアクセスが頻繁に起こり、処理スピードの面で大きな課題があった。

【0006】 本発明は上記の問題点に着目してなされたものであり、拡大縮小時のアドレスの算出を排除することでCPUへの負荷を軽減し、リニアなアドレッシングにより、メモリへのアクセス頻度を最小限に抑えることで処理スピードを向上させ、且つ、画像データを任意の倍率で拡大縮小することが可能な画像処理装置を提供することを目的とするものである。

【0007】

【課題を解決するための手段】 上記目的を達成するために、請求項1の発明は、デジタル画像データに対し拡大、縮小処理を行なう画像処理装置において、少なくとも1画面分の画像データを記憶しておく画像メモリ手段と、前記画像メモリ手段に対して読み出し、書き込み制御を行なうメモリ制御手段と、前記画像メモリ手段より出力される画素データを順次取り込むFIFO手段と、前記FIFO手段に対し、データの書き込みタイミングを制御する書き込み制御手段と、前記FIFO手段に対し、データの読み出しタイミングを制御する読み出し制御手段とを有する画像処理装置を提供する。

【0008】 請求項2の発明は、前記請求項1に記載された画像処理装置において、前記デジタル画像データの横方向の縮小処理時には、前記画像メモリ手段から出力される画素データに対し、前記書き込み制御手段により必要とする画素データのみを前記FIFO手段へ書き込み、拡大処理時には、前記読み出し制御手段により同一データを必要な画素数分読み出し、前記デジタル画像データの縦方向の縮小処理時には、前記メモリ制御手段により、前記画像メモリ内の必要なラインの画素データのみを出力し、拡大処理時には、前記画像メモリ内か

ら1ライン分の画素データを必要な回数出力する画像処理装置を提供する。

【0009】請求項3の発明は、前記請求項2に記載された画像処理装置において、前記書き込み制御手段及び読み出し制御手段による必要な画素データの書き込み及び読み出し制御は、下記の式1により、拡大縮小画像Tのx番目の画素は、 T_x の整数部の値を原画像の画素に対応させて選択するようにした画像処理装置を提供する。

【式1】

【0010】

【発明の実施の形態】本発明の画像処理装置の一実施例について、図と共に以下に説明する。図1は、本発明の画像処理装置の一実施例を示すブロック図である。

【0011】図中、符号22は拡大縮小処理前のデジタル画像データを格納する画像メモリ、12は前記画像メモリ22に対するデータのリード／ライト動作を制御するメモリ制御手段、14はFIFO手段18へのデータの書き込みを制御する書き込み制御手段である。

【0012】また、符号18は画像メモリより出力されたデータを取り込み（ライト）、その順に後段のブロックへ出力（リード）するFIFO（First-In First-Out）メモリで構成されたFIFO手段、16はFIFO手段18からのデータの読み出しを制御する読み出し制御手段、20は前記各制御手段12、14、16に対して倍率指定や動作タイミングを制御するCPUである。

【0013】また、符号30は前記CPU20より送られてくる各種情報を前記各制御手段12、14、16へ伝達するためのシステム・バス、34は前記メモリ制御手段12の処理開始タイミング制御するメモリ制御開始信号線、36は前記書き込み制御手段14の処理開始タイミング制御する書き込み制御開始信号線である。

【0014】また、符号38は前記読み出し制御手段16の処理開始タイミング制御を行なう読み出し制御開始信号線、40は倍率制御信号線、42は前記画像メモリ22に対するリード／ライト制御信号線、48はFIFO手段18に対するライト制御信号線、50はFIFO手段18に対するリード制御信号線である。

【0015】また、符号54は供給されるデジタル画像データ線、52は前記デジタル画像データを前記デジタル画像データ線54を介して前記画像メモリ22に格納する際に必要な入力制御信号線、56は不図示の映像表示モニタの走査線順に読み出されたピクセル・データ線、44、46は前記FIFO手段18の空き状態を示すフル・フラグ及びエンプティ・フラグを出力するフル・フラグ線及びエンプティ・フラグ線である。

【0016】図2は、拡大縮小アルゴリズムを示したものであり、n画素の画像データをm倍する場合の原画像Sの各画素と拡大縮小された画像Tの各画素との対応を示したものである。ここで、拡大縮小画像Tのx番目の

画素は、下記の式1より求められ、 T_x の整数部の値を原画像の画素に対応させることで任意倍率mの拡大縮小が可能となる。また、この原理は画像の縦方向に対して、同様に適用される。

【0017】

【式1】

【0018】つぎに、図1のブロック図及び図2の拡大縮小アルゴリズムを用いた本発明の画像処理装置の動作について、以下に説明する。図1において、メモリ制御手段12は入力制御信号52の要求を受け、予めデジタル画像データを画像データ線54を介して、画像メモリ22へ書き込ませる。入力制御信号52は各データを格納するアドレスを含んでおり、メモリ制御手段12は指定されたアドレスに画像データを書き込む。

【0019】つぎに、システム・バス30を通じて倍率制御信号線40を介して倍率制御信号を受けたメモリ制御手段12は、リード／ライト制御信号を出力線42に出力して画像メモリ22に対し映像表示モニタ（図示せず）のラスタ走査線順に読み出し動作を行ない、ピクセル・データとして出力線56に出力させる。

【0020】この時、メモリ制御手段12は、図2の拡大縮小アルゴリズムを用い、不要ラインの飛ばし読み、あるいは同一ラインを複数回読み出すことにより、画像の縦方向の拡大縮小を行なう。また、読み出し動作の際、メモリ制御手段12は、FIFO手段18から出力されるフル・フラグを監視し、FIFO手段18に空きがある場合のみ画像データの読み出し動作を行なう。

【0021】また、書き込み制御手段14は、倍率制御信号線40が縮小を指定した場合に限り、図2の縮小アルゴリズムを適用し、前記ラスタ走査線順に送られてくるピクセル・データ56を飛ばし読みして、必要なデータのみをFIFO手段18に書き込む。

【0022】図2に示した縮小（ $m = 5/8 = 0.625$ ）の場合について、以下に説明する。縮小画像Tのx番目の画素は、下記の式1より求められ、 T_x の整数部の値を原画像の画素に対応させることにより、倍率 $m = 5/8 = 0.625$ の縮小が可能となる。 $x = 0, 1, 2, 3, 4$ に対して、式1より求められる T_x は、

$T_x = 0.000, 1.600, 3.200, 4.800, 6.400$

となり、各数値の整数部0, 1, 3, 4, 6に対応した走査線0, 1, 3, 4, 6の各データを書き込む（走査線2, 5, 7は飛ばし、書き込みはしない）。

【0023】読み出し時、倍率制御信号線40が縮小を指定した場合、読み出し制御手段16はFIFO手段18内のデータを総て一つずつ無条件に出力する。よって、走査線0, 1, 2, 3, 4, 5, 6, 7のうち、走査線2, 5, 7を飛ばして、これにより縮小画像を実現している。

【0024】一方、倍率制御信号40が拡大あるいは等倍を指定した場合、書き込み制御手段は全てのピクセル

・データを無条件にFIFO手段18に書き込む。

【0025】また、書き込み制御手段14は倍率制御信号の状態に関わらず、前記メモリ制御手段12と同様、FIFO手段18のフル・フラグを監視し、FIFO手段18に空きがある場合にのみ、ピクセル・データの書き込みを行なう。

【0026】読み出し制御手段16は、倍率制御信号線40が拡大を指定した場合に限り図2の拡大アルゴリズムを適用し、FIFO手段18の出力データが必要な個数分に達するまでデータを保持してから次のデータを出力する動作を繰り返す。

【0027】図2に示した拡大($m=13/8=1.625$)の場合について、以下に説明する。拡大画像Tのx番目の画素は、下記の式1より求められ、Txの整数部の値を原画像の画素に対応させることで、倍率 $m=13/8=1.625$ の拡大が可能となる。 $x=0, 1, 2, \dots, 12$ に対して、式1より求められるTxは、 $Tx=0.000, 0.615, 1.230, 1.846, 2.461, 3.076, 3.692, 4.307, 4.923, 5.538, 6.153, 6.769, 7.384$ となり、各数値の整数部0, 0, 1, 1, 2, 3, 3, 4, 4, 5, 6, 6, 7に対応した走査線0, 0, 1, 1, 2, 3, 3, 4, 4, 5, 6, 6, 7の各データを出力する(走査線0, 1, 3, 4, 6をダブらせる)。よって、走査線0, 1, 2, 3, 4, 5, 6, 7のうち、走査線0, 1, 3, 4, 6をダブらせて、これにより拡大画像を実現している。

【0028】一方、倍率制御信号線40が縮小を指定した場合、読み出し制御手段16はFIFO手段18内のデータを総て一つずつ無条件に出力する。

【0029】また、読み出し制御手段16は倍率制御信号の状態に関わらず、FIFO手段18のエンプティ・フラグを監視し、FIFO手段18内にデータが存在する場合にのみ、上記方法でデータの読み出しを行なう。

【0030】CPU20は、操作者により設定された画像の縦横の倍率を前記メモリ制御手段12、書き込み制御手段14、読み出し制御手段16へ伝えと共に、外部から入力される不図示の映像モニタの水平、垂直同期信号を受け、メモリ制御開始信号線34、書き込み制御開始信号線36、読み出し制御開始信号線38を介して前記制御手段12、書き込み制御手段14、読み出し制御手段16の各処理開始タイミングを制御する。

【0031】本発明の画像処理装置は、画像メモリ手段22の出力が供給されるFIFO手段18を各制御手段12, 14, 16により制御する構成としているので、所望のピクセル・データのアドレスを求める必要はなく、CPUの負荷が大きくなるようなこともなく、簡単な構成により拡大縮小画像を作成することが出来る。

【0032】図3は本発明の画像処理装置を用いて生成される出力例で、縮小アルゴリズムを適用した画像処理(画像2の倍率 $m=0.5$ 縦×横: 0.5×0.5)の一例

を示した。これは、同図に示されるように画面1(縦×横: 1.0×1.0)に縮小した画面2(縦×横: 0.5×0.5)をはめ込んで出力した画像処理の場合である。

【0033】この画像処理結果を得るためには、操作者により設定された画像1及び画像2の開始アドレス、画像処理後の各画像の拡大縮小率m及びオフセット値がCPU20を経由して図1のメモリ制御手段12に渡される。これらの各パラメータを元にメモリ制御手段12は図3の処理画像のラスト走査線順に画像1及び画像2のデータを画像メモリ22から読み出す。

【0034】この時、拡大縮小率m及びオフセット値を元に、同一走査線上で画像1と画像2が重なる部分を検出し、例えば、画像1に必要な画素数分読み出し、次に画像2を読み出し、最後に画像1の残りの部分にあたるデータの読み出し処理を行なう。また、上記過程で、画像1を処理する場合は、縦横の倍率を $m=1.0$ 倍、画像2を処理する場合は、縦横の倍率を $m=0.5$ 倍として、各制御手段を動作させることで所望の画像2(ABCXYZ)を縮小して画像1の所定の場所にはめ込んだ処理画像が得られる。

【0035】

【発明の効果】以上説明したように、本発明の画像処理装置によれば、画像メモリ手段の出力データを取り込み(ライト)、その順に後段のブロックへ出力(リード)するFIFO(First-In First-Out)メモリで構成されたFIFO手段を各制御手段により制御する構成としているので、所望のピクセル・データのアドレスを求める必要はなく、CPUの負荷が大きくなるようなこともなく、簡単な構成により画像データを任意の倍率で拡大縮小することが出来る。

【0036】本発明の画像処理装置によれば、拡大縮小時のアドレスの算出を排除することでCPUへの負荷を軽減し、リニアなアドレッシングにより、メモリへのアクセス頻度を最小限に抑えることで処理スピードを向上させ、且つ、画像データを任意の倍率で拡大縮小することが出来る。

【図面の簡単な説明】

【図1】本発明の画像処理装置の一実施例を示すブロック図である。

【図2】本発明の画像処理装置で用いた拡大縮小アルゴリズムの説明及び実施例である。

【図3】本発明の画像処理装置を用いて生成される出力の一例である。

【図4】従来の画像処理装置の一例を示すブロック図である。

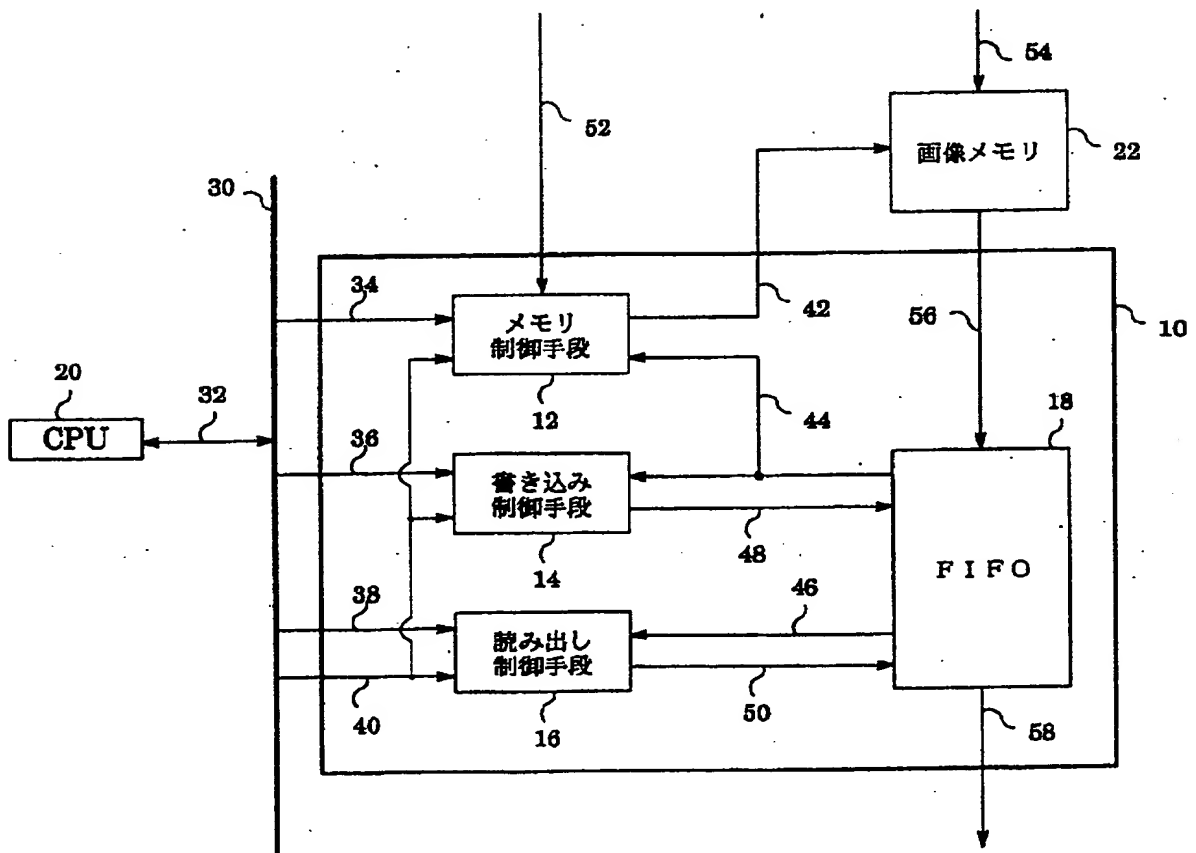
【符号の説明】

- 10 画像処理装置
- 12, 112 メモリ制御手段
- 14 書き込み制御手段
- 16 読み出し制御手段

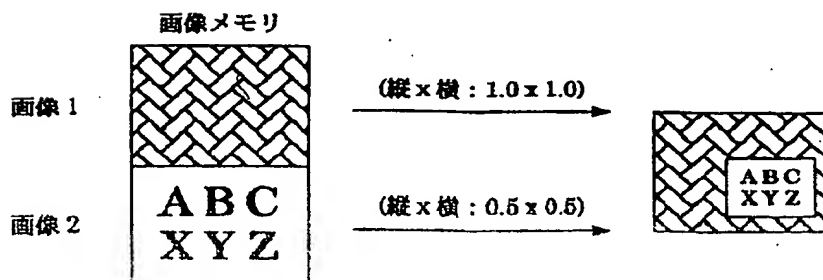
(5)

- | | | | |
|---------|----------------------|---------|--------------|
| 18 | FIFO手段 (FIFO) | 42, 142 | リード/ライト制御信号線 |
| 20, 120 | CPU | 44 | フル・フラグ線 |
| 22, 122 | 画像メモリ (画像メモリ手段) | 46 | エンプティ・フラグ線 |
| 30, 130 | システム・バス | 48 | FIFOライト信号線 |
| 32, 132 | コントロール信号 (コントロール・バス) | 50 | FIFOリード信号線 |
| 34 | メモリ制御開始信号線 | 52, 152 | 入力制御信号線 |
| 36 | 書き込み制御開始信号線 | 54, 154 | デジタル画像データ線 |
| 38 | 読み出し制御開始信号線 | 56, 156 | ピクセル・データ出力線 |
| 40, 140 | 倍率制御信号線 | 58 | 出力データ線 |

【図1】



【図3】



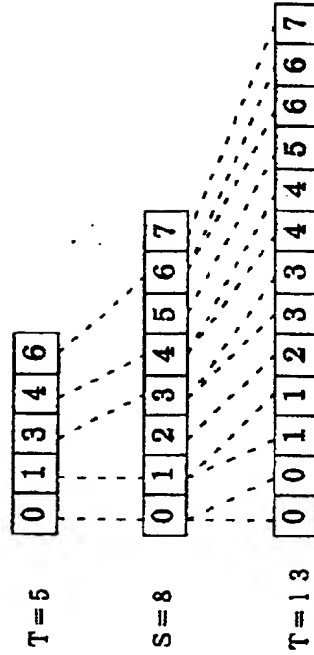
【図 2】

【縮小の場合】 → 倍率: $5/8$ ($=0.625$)

Tx	Sx
0	$0 + 0.625 = 0.625$
1	$1 + 0.625 = 1.625$
2	$2 + 0.625 = 2.625$
3	$3 + 0.625 = 3.625$
4	$4 + 0.625 = 4.625$

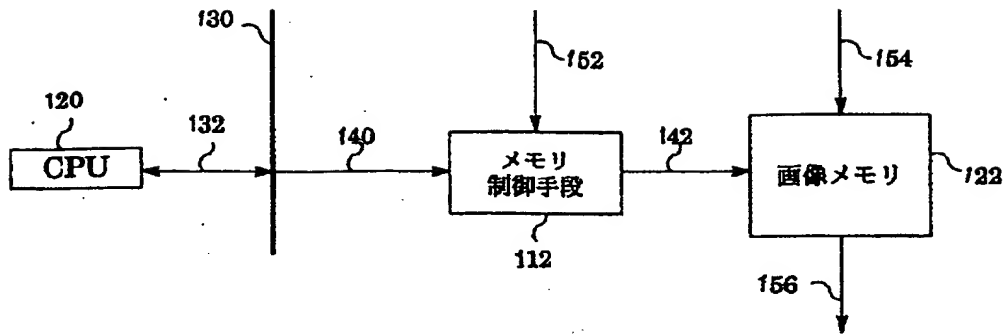
【拡大の場合】 → 倍率: $13/8$ ($=1.625$)

Tx	Sx
0	$0 + 1.625 = 1.625$
1	$1 + 1.625 = 2.625$
2	$2 + 1.625 = 3.625$
3	$3 + 1.625 = 4.625$
4	$4 + 1.625 = 5.625$
5	$5 + 1.625 = 6.625$
6	$6 + 1.625 = 7.625$
7	$7 + 1.625 = 8.625$
8	$8 + 1.625 = 9.625$
9	$9 + 1.625 = 10.625$
10	$10 + 1.625 = 11.625$
11	$11 + 1.625 = 12.625$
12	$12 + 1.625 = 13.625$



(7)

【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.